

DERWENT-ACC-NO: 2001-077000

DERWENT-WEEK: 200109

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Pin diode for power
semiconductor device, has N+ barrier
layer of high impurity
concentration, provided between P
anode layer and N drift layer
of low impurity
concentration

PATENT-ASSIGNEE: FUJI ELECTRIC CO LTD[FJIE]

PRIORITY-DATA: 1999JP-0128230 (May 10, 1999)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE
LANGUAGE		MAIN-IPC
JP 2000323488 A		November 24, 2000
N/A	011	H01L 021/329

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR
APPL-NO	APPL-DATE
JP2000323488A	N/A
1999JP-0128230	May 10, 1999

INT-CL (IPC): H01L021/329, H01L029/861

ABSTRACTED-PUB-NO: JP2000323488A

BASIC-ABSTRACT:

NOVELTY - N+ cathode layer (3) of high impurity
concentration and P anode layer

(2) are provided on either side of N drift layer (1) of low impurity concentration. The N+ barrier layer (9) of high impurity concentration is provided between P anode layer and N drift layer.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for pin diode manufacturing method.

USE - In power semiconductor device e.g. insulated gate bipolar transistor (IGBT).

ADVANTAGE - Reverse recovery current is reduced hence temperature dependency of forward voltage is positive or small negative value. The current concentrations between chip-in-plane of diode and chip etc, can be prevented, hence uniform operation can be performed. The diode required for the formation of low inductance of peripheral circuit, formation of snubber less, etc, is formed, hence high-speed switching of power device can be performed with low-loss.

DESCRIPTION OF DRAWING(S) - The figure shows the fragmentary sectional view of switching diode and impurity concentration distribution diagram.

N drift layer 1

P anode layer 2

N+ cathode layer 3

N+ barrier layer 9

CHOSEN-DRAWING: Dwg.1/20

TITLE-TERMS: PIN DIODE POWER SEMICONDUCTOR DEVICE N
BARRIER LAYER HIGH IMPURE
CONCENTRATE P ANODE LAYER N DRIFT LAYER
LOW IMPURE CONCENTRATE

DERWENT-CLASS: U12

EPI-CODES: U12-C01; U12-D01A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2001-058881

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-323488
(P2000-323488A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/329		H 0 1 L 29/91	B
29/861			D

審査請求 未請求 請求項の数10 O L (全 11 頁)

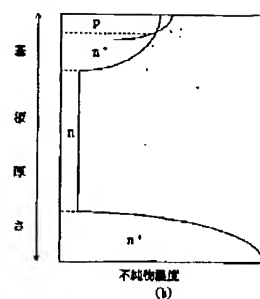
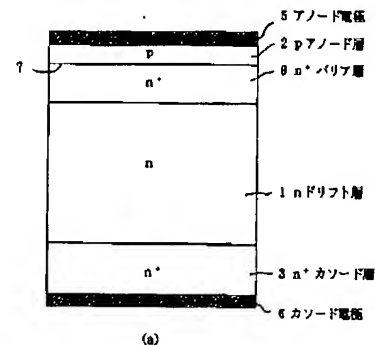
(21) 出願番号	特願平11-128230	(71) 出願人	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田 1 番 1 号
(22) 出願日	平成11年 5 月10日 (1999. 5. 10)	(72) 発明者	根本 道生 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内
		(74) 代理人	100088339 弁理士 篠部 正治

(54) 【発明の名称】 ダイオードおよびその製造方法

(57) 【要約】

【課題】 p i n ダイオードの逆回復特性をソフトリカバリー化するとともに、順電圧の負の温度依存性を軽減し、或いは正にする。

【解決手段】 低不純物濃度の n ドリフト層 1 と p アノード層 2 との間の少なくとも一部に、 n ドリフト層 1 より高濃度の n⁺ バリア層 9 を設ける。



【特許請求の範囲】

【請求項1】低不純物濃度の第一導電型ドリフト層の一方の側に高不純物濃度の第一導電型カソード層を、他方の側に第二導電型アノード層を有し、第一導電型カソード層、第二導電型アノード層の表面にそれぞれ接触してカソード電極、アノード電極が設けられたpinダイオードにおいて、少なくとも第二導電型アノード層と第一導電型ドリフト層との間の一部に第一導電型ドリフト層より高不純物濃度の第一導電型バリア層を有することを特徴とするダイオード。

【請求項2】アノード電極が、第二導電型アノード層に覆われない第一導電型バッファ層の表面に接触してショットキー接合を形成することを特徴とする請求項1記載のダイオード。

【請求項3】第二導電型アノード層が接合深さの浅い第二導電型チャネル領域と、接合深さの深い第二導電型シールド領域とからなることを特徴とする請求項1または2に記載のダイオード。

【請求項4】第二導電型シールド領域が第一導電型バリア層内にあることを特徴とする請求項3記載のダイオード。

【請求項5】第二導電型シールド領域が第一導電型ドリフト層に達することを特徴とする請求項3記載のダイオード。

【請求項6】第二導電型シールド領域の表面不純物濃度が第二導電型チャネル領域のそれより高いことを特徴とする請求項3ないし5のいずれかに記載のダイオード。

【請求項7】第二導電型チャネル領域の表面不純物濃度が第二導電型シールド領域のそれより高いことを特徴とする請求項3ないし5のいずれかに記載のダイオード。

【請求項8】低不純物濃度の第一導電型ドリフト層の一方の側に高不純物濃度の第一導電型カソード層を、他方の側の少なくとも一部に第一導電型ドリフト層より高不純物濃度の第一導電型バリア層を介して第二導電型アノード層を有し、第一導電型カソード層、第二導電型アノード層の表面にそれぞれ接触してカソード電極、アノード電極が設けられたpinダイオードの製造方法において、第一導電型カソード層、第一導電型バリア層、第二導電型アノード層の少なくとも一つを不純物イオンの注入と高温の拡散により形成することを特徴とするダイオードの製造方法。

【請求項9】低不純物濃度の第一導電型ドリフト層の一方の側に高不純物濃度の第一導電型カソード層を、他方の側の少なくとも一部に第一導電型ドリフト層より高不純物濃度の第一導電型バリア層を介して第二導電型アノード層を有し、第一導電型カソード層、第二導電型アノード層の表面にそれぞれ接触してカソード電極、アノード電極が設けられたpinダイオードの製造方法において、第一導電型カソード層、第一導電型バリア層、第二導電型アノード層の少なくとも一つを気相または固相か

ら不純物拡散により形成することを特徴とするダイオードの製造方法。

【請求項10】低不純物濃度の第一導電型ドリフト層の一方の側に高不純物濃度の第一導電型カソード層を、他方の側の少なくとも一部に第一導電型ドリフト層より高不純物濃度の第一導電型バリア層を介して第二導電型アノード層を有し、第一導電型カソード層、第二導電型アノード層の表面にそれぞれ接触してカソード電極、アノード電極が設けられたpinダイオードの製造方法において、第一導電型カソード層、第一導電型バリア層、第二導電型アノード層の少なくとも一つをエピタキシャル成長により形成することを特徴とするダイオードの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、低不純物濃度の第一導電型ドリフト層の一方の側に高不純物濃度の第一導電型カソード層を、他方の側に第二導電型アノード層を有するいわゆるpinダイオードおよびその製造方法に関する。

【0002】

【従来の技術】近年、電力用半導体素子（以下パワーデバイスと称する）の用途は、インバータを初めとする様々な分野に、広がりつつある。中でも高耐圧かつ大容量の用途では、絶縁ゲートバイポーラトランジスタ（以下IGBTと記す）に代表される低損失かつ高い周波数で動作可能なスイッチング素子が開発され、適用されている。特に大容量分野では、ゲートターンオフ（GTO）サイリスタのIGBTへの置き換えが進んでいる。

【0003】更に、パワーデバイスの低損失化・高速スイッチング化、および、周辺回路の低インダクタンス化、スナバレス化等の動きに伴い、パワーデバイスと組み合わせて使用される電力用ダイオード（フリーホイーリングダイオード：FWDと呼ぶこともある）の逆回復過程の特性（逆回復耐量・逆回復損失・ソフトスイッチング性等）改善が求められている。更に近年、パワーエレクトロニクス機器でのダイオードの動作時におけるEMIノイズの低減のために、ソフトリカバリー特性が強く要求されるようになってきている。

【0004】図16は、現在広く用いられているpin構造のスイッチングダイオードの断面図である。高比抵抗のn型半導体基板の一方の主表面の表面層にp型アノード層2（以下pアノード層と記す）が形成され、他方の主表面の表面層にn型カソード層3（以下nカソード層と記す）が形成されており、それぞれの表面に接触するアノード電極5、カソード電極6が設けられている。pアノード層2とnカソード層3との中間部分をn型ドリフト層1（以下nドリフト層と記す）と呼ぶ（i層と呼ぶこともある）。nドリフト層1は、高い電圧を確保するために、pアノード層2とnカソード層3よりも高

比抵抗とされる。

【0005】このダイオードが順方向バイアス〔アノード電極5に正、カソード電極6に負の電圧を印加〕した場合、pアノード層2とnドリフト層1とで形成されるpn接合7にかかる電圧が（シリコン半導体の場合）約0.6Vのえん層電圧を越えると、pアノード層2からnドリフト層1に正孔が注入され、n⁺カソード層3からnドリフト層1に電気的な中性条件を満たすように電子が注入される。（以降、nドリフト層1内に過剰に蓄積された電子・正孔を指して、過剰キャリアと称する）。その結果、nドリフト層1は蓄積キャリアのため伝導度変調を起こし、その抵抗は極めて小さくなって導通状態となる。

【0006】図17(a)は従来の1200Vクラスのダイオードで、ライフタイム制御をおこなったスイッチングダイオードの一例の順方向特性図である。横軸は電圧、縦軸は電流密度である。印加電圧が0.6V以上になると電流が流れはじめ、急速に増大することがわかる。また、室温（25℃）より高温（125℃）の方が同じ電流密度における順電圧が大きいことがわかる。また、順方向バイアス状態から逆方向バイアス状態に移る過程においては、過渡的に大きな逆向きの電流がダイオードに流れる。これを逆回復電流という。

【0007】図17(b)は従来の1200Vクラスのスイッチングダイオードの逆回復時の電流、電圧波形図である。横軸は時間、縦軸は電圧（V）および電流（I）である。電流が減少して零になった後、電圧が立ち上がるが、その間逆方向に電流が流れている。この逆方向に流れている電流が逆方向ピーク電流の1/10になるまでの期間を逆回復時間という。

【0008】この逆回復過程は、順方向バイアス時にnドリフト層1に蓄積されていた過剰キャリアのために、逆バイアスにした直後も過剰キャリアが消滅するまでの間、逆方向に電流が流れつづける（短絡状態）現象である。このときダイオードに、定常的な状態よりも大きな電氣的損失が生じる。ダイオードに流れる定常電流を大きくしたり、阻止状態の電圧を大きくすると、ダイオードにかかる電氣的負荷が大きくなり、そのためにダイオードが破壊することがある。電力用ダイオードにおいて、高い信頼性を保証するためには、この逆回復耐量を大きくすることが強く要求される。

【0009】pinダイオードの順バイアス状態での電圧降下〔順電圧〕、逆回復特性および耐量を改善するための方策として、金や白金等の重金属拡散や電子線やプロトンといった粒子線の照射によって、半導体基板、特にその中のnドリフト層1のキャリアのライフタイム制御が広く適用されている。

【0010】すなわちnドリフト層1内のライフタイムを小さくすることにより、定常状態における総キャリア濃度が減少するため、逆回復過程で空乏層の広がりや掃

きだされるキャリアが減少し、逆回復時間や逆回復ピーク電流、逆回復電荷を小さくすることができる。また、キャリアが空乏層を走り抜けることによる逆回復中の電界強度も、そのキャリア濃度の減少によって緩和されるため、責務が小さくなり、逆回復耐量が向上する。

【0011】同様の目的で、Merged pin Schottky Diode（以下MPSと記す）と称する、少数キャリアの注入効率を下げた逆回復特性を改良したダイオードが開発されている。図18はそのMPSの部分断面図である〔Wilamowski, B. M., Solid State Electron., Vol.26, No. 5, p.491, (1983)〕。

【0012】低不純物濃度のnドリフト層1の一方の側の表面層に高不純物濃度のn⁺カソード層3が形成されており、他方の側の表面層には、表面不純物濃度が高く深いpシールド領域4が選択的に形成されており、アノード電極5はnドリフト層1とショットキー接合を形成する金属になっている。n⁺カソード層3の表面にはカソード電極6が設けられている。

【0013】pシールド領域4は、ストライプ状、円形、多角形の島状などで形成される。このダイオードにおいては、少数キャリアの注入効率を下げることで、低損失で高速なスイッチング特性が得られる。

【0014】図19は、清水らによる別のタイプのダイオードでスタティックシールディングダイオード（SSD）と呼ばれるものの要部の部分断面図である〔IEEE Trans. on Electron Devices, Vol.ED-31, No.9, p.1314, (1984)参照〕。

【0015】低不純物濃度のnベース層1の一方の側の表面層に高不純物濃度のn⁺カソード層3が形成されている。他方の側の表面層には、表面不純物濃度が低くて浅いpチャネル領域2と、表面不純物濃度が高く深いpシールド領域4が形成されている。

【0016】例えば、pチャネル領域2の表面不純物濃度、拡散深さと幅は $5 \times 10^{15} \text{cm}^{-3}$ 、 $1 \mu\text{m}$ 、 $6 \mu\text{m}$ であり、pシールド領域4の表面不純物濃度、拡散深さと幅は $4 \times 10^{18} \text{cm}^{-3}$ 、 $5 \mu\text{m}$ 、 $15 \mu\text{m}$ である。

【0017】pシールド領域4は、ストライプ状、円形、多角形の島状などで形成される。p層の濃度は2種類ではなく複数種類形成する場合もある。n⁺カソード層3の表面にはカソード電極6、pチャネル領域2とpシールド領域4の表面にはアノード電極5が設けられている。

【0018】このようにすることによって、低損失で高速なスイッチング特性と正の温度特性とを両立させることができる。これは順バイアス状態において、キャリアの注入が抑えられるために、ライフタイム制御も少なくし、またはライフタイム制御無しで内部のキャリア濃度が低くでき、その結果逆回復ピーク電流や逆回復電荷を低減し、逆回復耐量を向上させることができるのである。

【0019】図20は更に別のタイプのダイオードでソフトアンドファストリカバリダイオード(Soft and Fast Recovery Diode以下SFDと記す)と呼ばれるものの要部の部分断面図である[MORI,M.et.al.,ISPSD '91 p.113 (1991)参照]。

【0020】低不純物濃度のnベース層1の一方の側の表面層に高不純物濃度のn⁺カソード層3が形成されている。他方の側の表面層には、表面不純物濃度が高く、深いpシールド領域4と、非常に薄い合金層8とが形成されている。このダイオードでも、キャリアの注入が抑えられるために、逆回復ピーク電流や逆回復電荷を低減し、逆回復耐量を向上させることができる

【0021】

【発明が解決しようとする課題】現在、パワーデバイスの適用範囲は、耐圧600V以下の小、中容量から、耐圧2.5kV以上の大容量と広い。それに伴い、ダイオードにも同様の用途において、低損失かつ高い周波数で動作が可能な高速逆回復特性が要求されている。

【0022】一方、逆回復特性の他に、順バイアス状態での順電圧の温度係数もダイオードの重要な特性の一つである。順電圧の温度係数とは、定格電流近傍において、室温での順電圧の値に対して高温での順電圧の値が大きいかどうかの指標のことで、高温での順電圧が室温よりも高いと正、低ければ負となる。この順電圧の温度係数は、正であることが望ましい。

【0023】この理由を説明するために、ダイオードチップ面内や、チップ間あるいはモジュールの並列動作時における電流のバランスについて考える。例えばあるダイオードチップに電流集中が生じたとき、その部分の温度が局所的に増加する。このとき、順電圧の温度係数が正であれば、ダイオードの温度上昇に伴い順電圧が増すため、電流は流れにくくなって並列している他のダイオードチップにより多くの電流が流れるようになり、電流の集中を緩和する効果が期待できる。

【0024】一方温度係数が負の場合、電流集中が生じてあるダイオードチップの温度が上昇すると、温度の上昇に伴って順電圧が下がり、そのダイオードチップへの電流の集中が促進される。よって、チップ内、チップ間あるいはモジュール間の不均一動作が加速されることになる。

【0025】現在、高耐圧かつ大容量の用途では、複数のチップやモジュールの並列動作が増えている。よってバランスのとれた動作のために、順電圧の正の温度係数は強く要求される。

【0026】pinダイオードの場合、逆回復動作を速くするためには、上で述べたように少数キャリアのライフタイム制御が必要である。しかし、例えば電子線などを多く照射し、ライフタイムを短くすると、順電圧の温度係数が負になりやすくなる傾向がある。これは、高温(一般に125℃)においては、室温に比べてボルツマ

ン因子[$\exp(-\Delta E/kT)$]分だけ高い割合で、キャリアがトラップから励起できることと、高温におけるキャリアの捕獲断面積が小さくなるためである。

【0027】またpinダイオードの場合、アノード層の不純物濃度を下げて逆回復特性および逆回復耐量を向上させる方法がある。この方法は、逆回復ピーク電流の抑制に対して効果はある。しかしながら、例えば1000V以上の耐圧を確保するためには、pアノード層の積分濃度は、最低 $1.3 \times 10^{12}/\text{cm}^2$ 必要であり、pアノード層の積分濃度をこの値以下に下げることができない。

【0028】さらに順バイアス時に500A/cm²以上の大電流が流れるとき、順電圧が大きくなるというデメリットがある。これは、不純物濃度を下げることで、少数キャリアの注入が少なくなるためである。従って、アノード層の不純物濃度を下げたpinダイオードでは、逆回復特性の向上と、順電圧の正の温度係数との両立は困難である。

【0029】先に述べたMPSやSSDといったキャリアの注入効率を下げたダイオードは、逆回復特性と正の温度特性とを両立させることができた。これはオン状態において、ホールの注入が抑えられるために、内部のキャリア濃度が低くでき、その結果逆回復ピーク電流や電荷を向上できるだけでなく、ライフタイム制御も少なくまたは無しにすることができるためである。

【0030】しかしながらMPSの場合、チップ内にpinの他にショットキー接合を含むために、逆バイアス時、特に高温のときにショットキー接合からの漏れ電流が増加するというデメリットがある。これは、ショットキー接合におけるバリアハイトローリングの効果によるものである。SFDもショットキー接合を有するので、同様のデメリットがある。

【0031】またSSDは、ショットキー接合ではなく薄いpチャネル領域を形成するため、漏れ電流は小さくなるが、順バイアス時にはそこから正孔が注入されるため、逆回復特性はMPS程良くならない。

【0032】このような状況で上記の問題に鑑み本発明の目的は、簡便な方法で逆回復特性のソフトスイッチング化および、順電圧の負の温度依存性を小さくあるいは正にすることを可能としたダイオードを提供することにある。

【0033】

【課題を解決するための手段】以下の記述では、第一導電型を電子が多数キャリアであるn型、第二導電型を正孔が多数キャリアであるp型とし、それぞれn、pを冠記して各層、領域を示すが、これを逆にすることもできる。

【0034】上記の課題解決のため本発明は、低不純物濃度のnドリフト層の一方の側に高不純物濃度のnカソード層を、他方の側にpアノード層を有し、nカソード

層、pアノード層の表面にそれぞれ接触してカソード電極、アノード電極が設けられたpinダイオードにおいて、少なくともpアノード層とnドリフト層との間の一部にnドリフト層より高不純物濃度のnバリア層を有するものとする。

【0035】通常のpinダイオードにおいて、順方向のバイアスを加えると、pアノード層からnドリフト層に正孔が注入され、かつn⁺カソード層からnドリフト層に電子が注入される。一方、本発明のダイオードでは、順方向のバイアスを加えると、まずpアノード層からn⁺バリア層にホールが注入されるが、そこでキャリア濃度が減衰する。これは、n⁺バリア層の不純物濃度がnドリフト層のそれより高いため、正孔のn⁺バリア層における拡散長が短くなるためである。すなわち、pアノード層からの正孔の注入効率が、n⁺バリア層の濃度の増加に伴い減少する。このため、順バイアス時の定常状態のキャリア密度分布において、アノード側の濃度がカソード側よりも極めて低くなる。

【0036】よって、逆回復時、特に逆電流が流れて後p/n⁺/n接合部に空間電荷領域が形成されるとき、空間電荷領域を通り抜ける正孔濃度が低くなり、逆回復ピーク電流の減少が期待できる。

【0037】また、通常のpinダイオードに比べて総キャリア濃度を大幅に減らせるため、逆回復電荷も減少できる。さらにライフタイム制御無しでも、キャリア濃度が低減できるため、順電圧の温度特性も、負から正に近づけることが可能となる。

【0038】前項でキャリアの注入効率を下げるためpアノード層の不純物濃度を下げる方法があるが、その方法では、高耐圧のダイオードとすることが難しいことを述べた。このように、n⁺バリア層を間に設ければ、pアノード層の不純物濃度を高く保ち、すなわち積分濃度を保ちながらキャリアの注入効率を下げられるので、高耐圧ダイオードに適する構造である。

【0039】本発明のダイオードではさまざまな変形を考えられるが、いずれも上記の構造を含むので、それらは、上述と同様の作用で動作し、逆回復特性の向上が可能となる。

【0040】例えば、アノード電極が、pアノード層に覆われないn⁺バリア層の表面に接触してショットキー接合を形成するものでもよい。その場合には、ショットキー接合の部分だけ順バイアス時の正孔注入量が抑制されるので、総キャリア濃度を大幅に減らせるため、逆回復電荷も減少できる。

【0041】pアノード層が接合深さの浅いpチャネル領域と、接合深さの深いpシールド領域とからなるものとすることもできる。そのようにすれば、順バイアス時の正孔注入量の制御の自由度が増す。その際、pシールド領域がn⁺バリア層内にあってよいし、また、pシールド領域がnドリフト層に達しても良い。

【0042】pシールド領域がn⁺バリア層内にあれば、順バイアス時の正孔注入量が抑制される。pシールド領域がnドリフト層に達していれば、逆バイアス時にそこから広がる空間電荷領域がパンチスルーして、pチャネル領域部分の電界を緩和することができる。

【0043】pシールド領域の表面不純物濃度をpチャネル領域のそれより高くしても、pチャネル領域の表面不純物濃度をpシールド領域のそれより高くしても良い。pシールド領域、pチャネル領域の表面不純物濃度を互いに変えられれば、順バイアス時の正孔注入量の制御の自由度を増すことができる。

【0044】上記のようなダイオードの製造方法としては、nカソード層、n⁺バリア層、pアノード層の少なくとも一つを不純物イオンの注入と高温の拡散、気相または固相から不純物拡散、エピタキシャル成長により形成するものとする。いずれの方法によっても、上記のようなダイオードの製造が可能である。

【0045】

【発明の実施の形態】以下図面を参照しながら、本発明の実施例について説明する。以下の記述でn、pを冠記した層、領域等はそれぞれ電子、正孔を多数キャリアとする層、領域等を意味している。

【実施例1】図1(a)は、本発明第一の実施例のダイオードの部分断面図である。図1(b)は、対数表示した不純物濃度の分布図である。

【0046】高比抵抗のnドリフト層1の一方の主表面の表面層にn⁺カソード層3が形成され、他方の主表面の表面層にはn⁺バリア層9が形成され、さらにそれに隣接してpアノード層2が形成されている。n⁺カソード層3に接触してカソード電極6が、またpアノード層2の表面に接触してアノード電極5がそれぞれ設けられている。

【0047】図1(b)から、各層の表面不純物濃度と厚さが読み取ることができる。例えば、2500Vクラスのダイオードのとき、nドリフト層1の不純物濃度は約 $4 \times 10^{13}/\text{cm}^3$ 、厚さは300 μm である。各層は、イオン注入と高温ドライブインによる拡散により形成され、pアノード層2の表面不純物濃度は約 $5 \times 10^{16}/\text{cm}^3$ 、厚さは4 μm 、n⁺カソード層3の表面不純物濃度は約 $1 \times 10^{20}/\text{cm}^3$ 、厚さは80 μm 、n⁺バリア層9の表面不純物濃度は約 $2 \times 10^{16}/\text{cm}^3$ 、厚さは10 μm である。nドリフト層1のライフタイムは3 μs である。また、高比抵抗のバルクウェハに気相或いは固相からの拡散により形成しても良い。

【0048】このダイオードの動作は従来のpinダイオードとほぼ同様である。順方向バイアス〔アノード電極5に正、カソード電極6に負の電圧を印加〕した場合、pアノード層2とnドリフト層1とで形成されるpn接合7にかかる電圧が(シリコン半導体の場合)約0.6Vのえん層電圧を越えると、pアノード層2から

nドリフト層1に正孔が注入され、n⁺カソード層3からnドリフト層1に電気的な中性条件を満たすように電子が注入される。(以降、nドリフト層1内に過剰に蓄積された電子・正孔を指して、過剰キャリアと称する)。その結果、nドリフト層1は蓄積キャリアのため伝導度変調を起こし、その抵抗は極めて小さくなって導通状態となる。

【0049】図16の従来のpinダイオードとの違いは、pアノード層2の下方にn⁺バリア層9が形成されている点である。図2は、実施例1のダイオードの室温(300K)と高温(398K)における電流-電圧特性図である(太線)。同図に比較例として従来型pinダイオードの電流-電圧特性をも示した(細線)。なお、従来型pinダイオードでは、pアノード層2の表面濃度を $5 \times 10^{16}/\text{cm}^3$ 、拡散深さを4 μm とし、順電圧を同等とするためにnドリフト層1のライフタイムは1 μs とした。

【0050】両者を比較すると、従来型pinダイオードの順電圧の温度係数は負であるのに対し、本実施例1のダイオードでは、100A/cm²以上において温度係数が正となっていることがわかる。従って、多数キャリアや多数モジュールの並列運転の場合には、電流集中が緩和され、不均一動作を避けられることになる。

【0051】図3は、実施例1のダイオードと従来型pinダイオードとの電流密度100A/cm²でのキャリア分布の比較図である。従来型pinダイオードに対して、本実施例1のダイオードの場合は、アノード側のキャリア濃度が約1/2に減少している。

【0052】図4は、実施例1のダイオードの高温(398K)における逆回復過程の電流、電圧波形図である(太線)。同図に従来型pinダイオードの電流、電圧波形をも示した(細線)。

【0053】図3のキャリア分布を反映して実施例1のダイオードでは、逆回復電流のピーク値が従来型pinダイオードに比べて低減されており、ソフトリカバリー波形となっているのがわかる。

【0054】【実施例2】図5は、本発明第二の実施例のダイオードの不純物濃度の分布図である。このように各層は、エピタキシャル成長により各層がほぼ均一な不純物濃度になるように形成することもできる。

【0055】【実施例3】図6は、本発明第三の実施例のダイオードの断面図である。高比抵抗のnドリフト層1の一方の側にn⁺カソード層3が形成され、その表面に接触してカソード電極6が設けられている。nドリフト層1の他方の側には、n⁺バリア層9が形成され、さらにその表面層にpチャネル領域2とそれより接合深さの深いpシールド領域4とが形成されている。そして、pチャネル領域2とpシールド領域4の表面には、アノード電極5が設けられている。

【0056】例えば、pチャネル領域2の表面不純物濃

度は約 $5 \times 10^{16}/\text{cm}^3$ 、厚さは4 μm であり、pシールド領域4の表面不純物濃度は約 $5 \times 10^{16}/\text{cm}^3$ 、厚さは10 μm である。n⁺バリア層9の接合深さは15 μm である。pチャネル領域2とpシールド領域4とは共に紙面に垂直な方向に延びたストライプ状であり、その幅 W_{p1} 、 W_{p2} は同じとする。或いはその比を適当に選ぶことで、少数キャリアの注入量を最適化することができる。このように、pチャネル領域2とpシールド領域4とに分けることによって、nドリフト層1へのキャリアの注入量を制御する自由度を増大することができる。

【0057】また、図7は実施例3のダイオードの逆バイアス印加時の断面図であり、空間電荷領域の境界10a、10bが点線で示されている。10bは、より高い逆電圧を印加した際の空間電荷領域の境界である。この図に見られるように、この実施例3のダイオードでは、pシールド領域4側からpチャネル領域2の下方に空間電荷領域を広げることによりピンチオフするので、実施例1のダイオードよりpチャネル領域2/n⁺バリア層9間のpn接合7における電界強度を緩和することができる。

【0058】【実施例4】図8は、本発明第四の実施例のダイオードの部分断面図である。図6の実施例3のダイオードとの違いは、p⁺シールド領域4が表面不純物濃度が、例えば $1 \times 10^{17}/\text{cm}^3$ 、接合深さが4 μm と、pチャネル領域2の $5 \times 10^{16}/\text{cm}^3$ より高くされていることである。n⁺バリア層9の接合深さは15 μm 、pチャネル領域2の接合深さは、2 μm である。

【0059】図9は、本実施例4のダイオードにおける逆回復過程での電流、電圧波形図である。nドリフト層1の比抵抗が46 Ωcm 、厚さ200 μm の場合である。図3と同様に従来型pinダイオード、本発明の実施例1の構造のダイオードについても比較した。

【0060】本実施例4のダイオードでは、逆回復電流のピーク値が従来型pinダイオードは勿論のこと、実施例1の構造のダイオードに比べても低減されており、逆回復電荷が低減され、さらにソフトリカバリー波形となっているのがわかる。

【0061】図10は、図8の構造の実施例4のダイオードにおいて、n⁺バリア層9の不純物濃度(ドーザ量)を変えたとき、逆回復di/dt耐量のn⁺バリア層9の不純物濃度依存性を示した特性図である。ここで、n⁺バリア層9のドーザ量が0とは、従来型pinダイオードに対応している。

【0062】n⁺バリア層9のドーザ量が増加するにつれて、逆回復di/dt耐量が向上することがわかる。これは、n⁺バリア層9のドーザ量の増加に伴い、nドリフト層1への正孔の注入効率が減少するため、逆回復過程で掃きだされるキャリア濃度が減少し、その結果逆回復中に速やかに空間電界領域が広がって、内部電界強度が減少するためである。

【0063】[実施例5]さらに図11は、本発明第五の実施例のダイオードの部分断面図である。p⁻シールド領域4の表面不純物濃度が、例えば $2 \times 10^{16}/\text{cm}^3$ と、pチャネル領域2のそれが $5 \times 10^{16}/\text{cm}^3$ である。このように、p⁻シールド領域4の表面不純物濃度を、pチャネル領域2のそれより低くすることもできる。

【0064】[実施例6]図12は、本発明第六の実施例のダイオードの断面図である。高比抵抗のnドリフト層1の一方の側にn⁺カソード層3が形成され、その表面に接触してカソード電極6が設けられている。nドリフト層1の他方の側には、n⁺バリア層9が形成され、さらにその表面層にpチャネル領域2とn⁺バリア層9より深いpシールド領域4とが形成されている。そして、pチャネル領域2とpシールド領域4の表面には、アノード電極5が設けられている。

【0065】例えば、pチャネル領域2の表面不純物濃度は約 $5 \times 10^{16}/\text{cm}^3$ 、接合深さは $4 \mu\text{m}$ であり、pシールド領域4の表面不純物濃度は約 $5 \times 10^{16}/\text{cm}^3$ 、接合深さは $20 \mu\text{m}$ である。n⁺バリア層9の接合深さは $15 \mu\text{m}$ である。pチャネル領域2とpシールド領域4とは共に紙面に垂直な方向に伸びたストライプ状であり、その幅 W_{p1} 、 W_{p2} は同じとする。或いはその比を適当に選ぶことで、少数キャリアの注入量を最適化することができる。この場合も、pチャネル領域2とpシールド領域4とに分けることによって、nドリフト層1へのキャリアの注入量を制御する自由度を増ことができる。

【0066】また、逆バイアス印加時には、pシールド領域4側からpチャネル領域2の下方に空乏層を広げることによりピンチオフするので、実施例1のダイオードよりpチャネル領域2/n⁺バリア層9間のpn接合7における電界強度を緩和することができて高耐圧が得やすい。

【0067】[実施例7]図13は、本発明第七の実施例のダイオードの部分断面図である。図12の実施例6のダイオードとの違いは、p⁺シールド領域4の表面不純物濃度が、例えば $1 \times 10^{17}/\text{cm}^3$ とpチャネル領域2の $5 \times 10^{16}/\text{cm}^3$ より高くされていることである。逆バイアス印加時に、p⁺シールド領域4から空間電荷領域が広がり、pチャネル領域2の下方でピンチオフし易い構造である。

【0068】[実施例8]さらに図14は、本発明第八の実施例のダイオードの部分断面図である。p⁻シールド領域4の表面不純物濃度が、例えば $2 \times 10^{16}/\text{cm}^3$ とpチャネル領域2の $5 \times 10^{16}/\text{cm}^3$ より低くされていることである。このように、p⁻シールド領域9の表面不純物濃度を、pチャネル領域2のそれより低くすることもできる。

【0069】[実施例9]図15は、本発明第六の実施例のダイオードの断面図である。高比抵抗のnドリフ

ト層1の一方の側にn⁺カソード層3が形成され、その表面に接触してカソード電極6が設けられている。nドリフト層1の他方の側には、n⁺バリア層4が形成され、その表面層に選択的にpアノード層2が形成されている。pアノード層2と、nドリフト層1の表面に共通に接触してアノード電極5が設けられている。特にこのアノード電極5は、nドリフト層1の表面とショットキー接合9を形成する金属が選ばれる。

【0070】pアノード層2は例えば紙面に垂直な方向のストライプ状である。ショットキー接合9部分には、pアノード層2が形成されていないため、順バイアス時にこの部分からのホールの注入は起きない。よって全体のキャリア濃度を低く抑えることができる。更に、実施例3～8のダイオードと同様に逆バイアス印加時には、空乏層がpアノード層2からショットキー接合11の下方に広がり、ピンチオフするので、n⁺バリア層9/アノード電極5間のショットキー接合11の電界強度を緩和することができる。よって、p⁺アノード層2の幅と、ショットキー接合11の幅とを適当に選ぶことで、ショットキー接合11からの漏れ電流を低く抑えることが可能である。

【0071】

【発明の効果】以上説明したように本発明によれば、低不純物濃度の第一導電型ドリフト層を有するダイオードにおいて、第二導電型アノード層と第一導電型ドリフト層との間の少なくとも一部に第一導電型ドリフト層より高不純物濃度の第一導電型バリア層を設けることにより、逆回復電流が小さく、順電圧の温度依存性を正または小さい負の値のダイオードとすることができる。

【0072】そのため、逆回復特性がソフトリカバリーで、保護回路を軽減できるとともに、ダイオードのチップ面内、チップ間等の電流集中を防止でき、均一動作が可能となる。

【0073】本発明は、パワーデバイスの低損失化・高速スイッチング化、および、周辺回路の低インダクタンス化、スナバレス化等に必要ダイオードとして大きな貢献をなすものである。

【図面の簡単な説明】

【図1】(a)は本発明実施例1のスイッチングダイオードの部分断面図、(b)はその不純物濃度分布図

【図2】実施例1のダイオードの電流-電圧特性図

【図3】順バイアス時の $100\text{A}/\text{cm}^2$ におけるキャリア分布図

【図4】実施例1のダイオードと従来型pinダイオードにおける逆回復過程の電流、電圧波形図

【図5】実施例2のダイオードの不純物濃度分布図

【図6】実施例3のダイオードの部分断面図

【図7】実施例4のダイオードのにおける空乏層のピンチオフの説明図

【図8】実施例4のダイオードの部分断面図

【図9】本発明の実施例4のダイオードにおける逆回復過程の電流、電圧波形図

【図10】実施例4のダイオードの逆回復 di/dt 耐量特性図

【図11】実施例5のダイオードの部分断面図

【図12】実施例6のダイオードの部分断面図

【図13】実施例7のダイオードの部分断面図

【図14】実施例8のダイオードの部分断面図

【図15】実施例9のダイオードの部分断面図

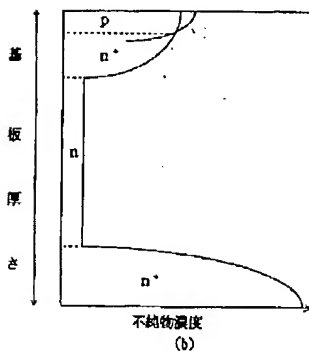
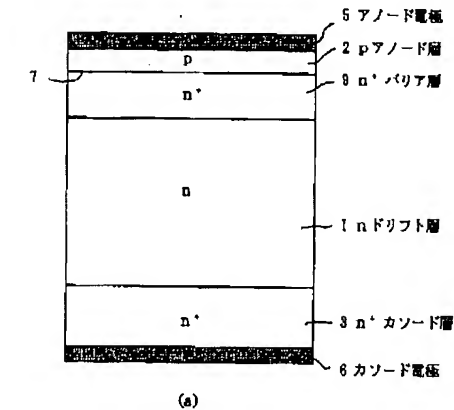
【図16】従来のpinダイオードの部分断面図

【図17】(a)はpinダイオードの電流電圧特性図、(b)は逆回復過程の電流、電圧波形図

【図18】従来のSSDの部分断面図

【図19】従来のMPSの部分断面図

【図1】

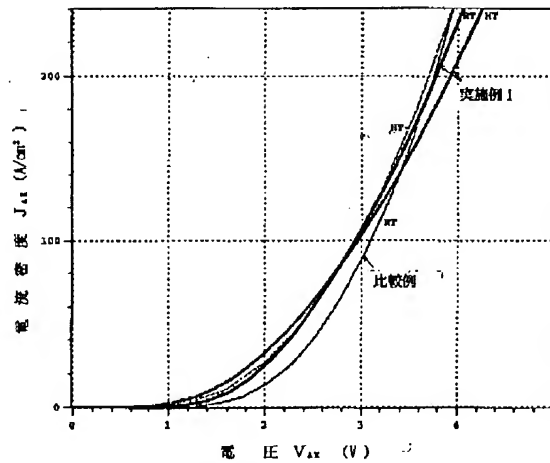


【図20】従来のSFDの部分断面図

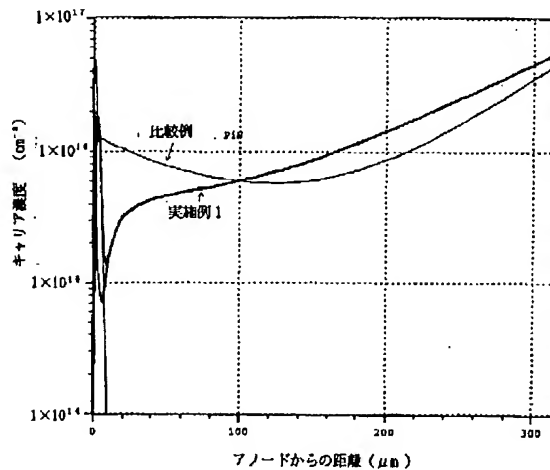
【符号の説明】

- | | |
|-----------|-------------------------------|
| 1 | nドリフト層 |
| 2 | pアノード層またはpチャネル領域 |
| 3 | n+ カソード層 |
| 4 | pシールド領域、p+ シールド領域またはp+ シールド領域 |
| 5 | アノード電極 |
| 6 | カソード電極 |
| 7 | p n接合 |
| 8 | 合金層 |
| 9 | n+ バリア層 |
| 10 a、10 b | 空間電荷領域端 |
| 11 | ショットキー接合 |

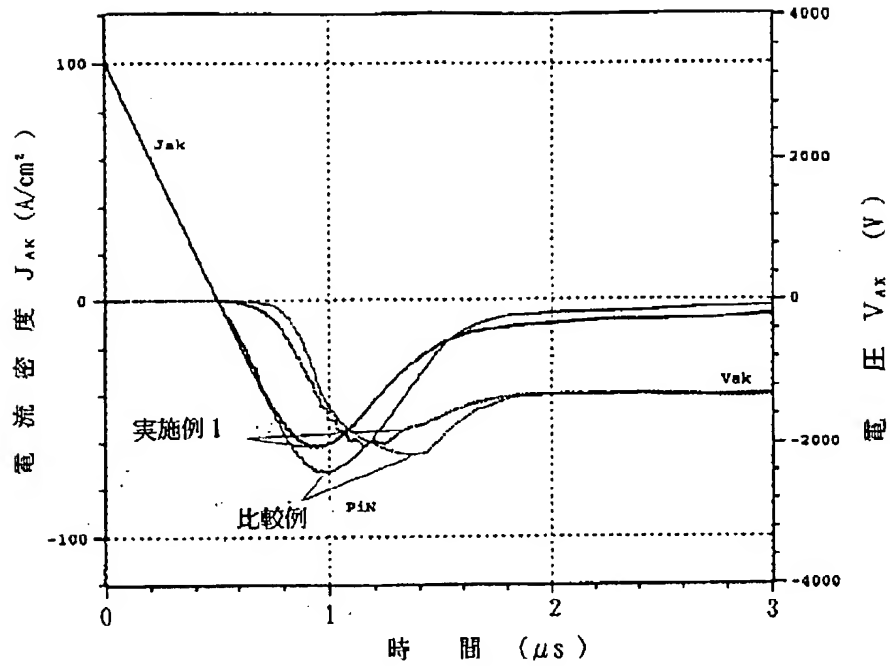
【図2】



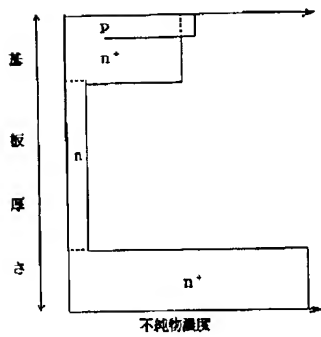
【図3】



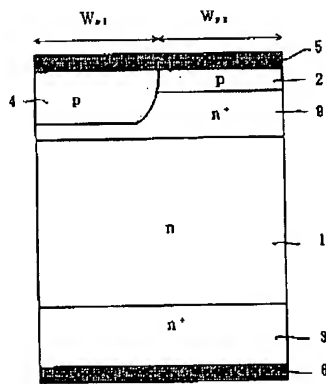
【図4】



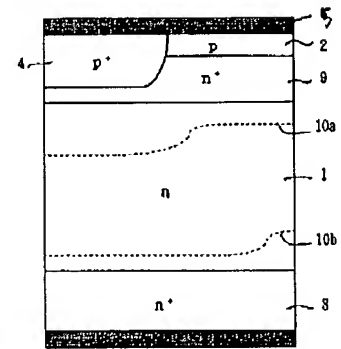
【図5】



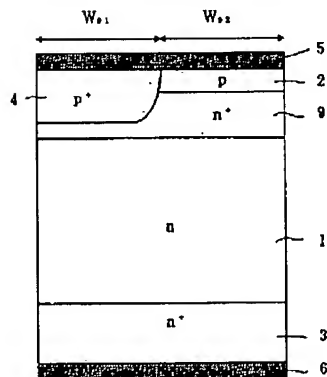
【図6】



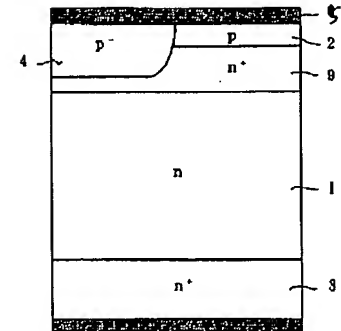
【図7】



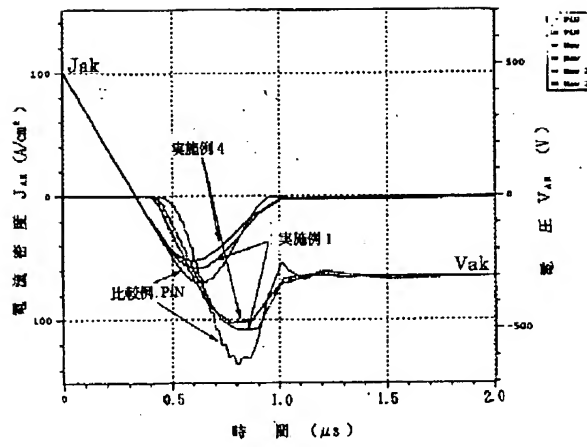
【図8】



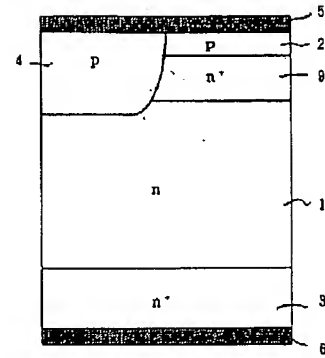
【図11】



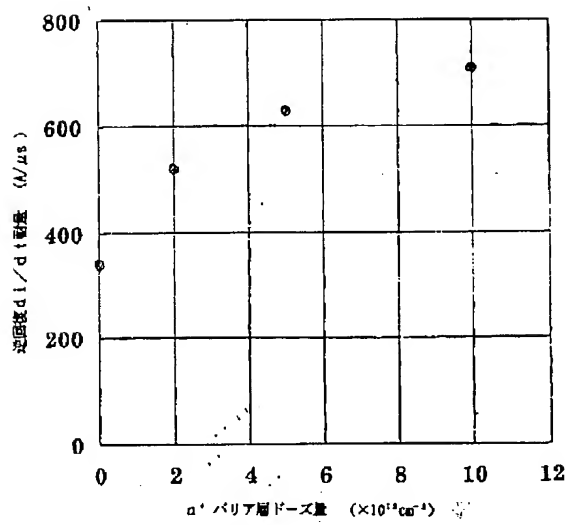
【図9】



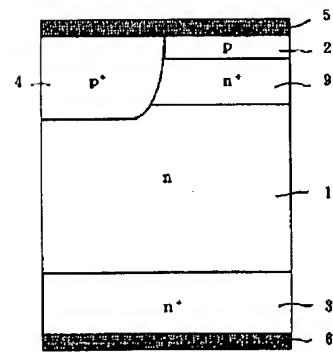
【図12】



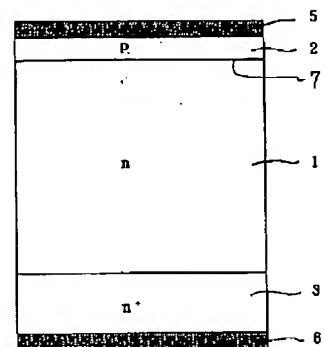
【図10】



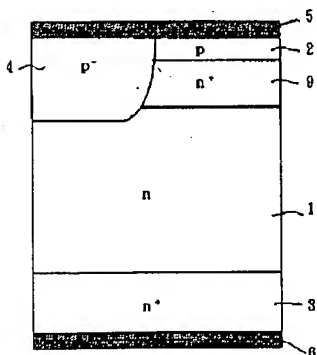
【図13】



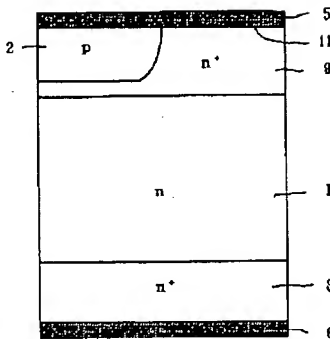
【図16】



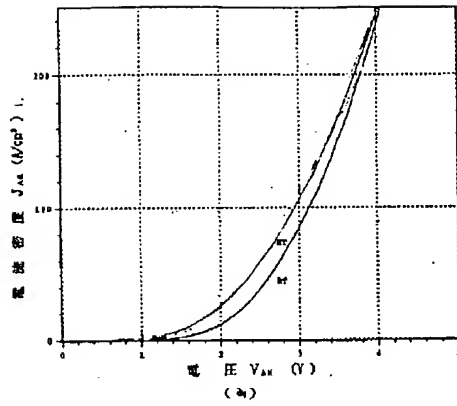
【図14】



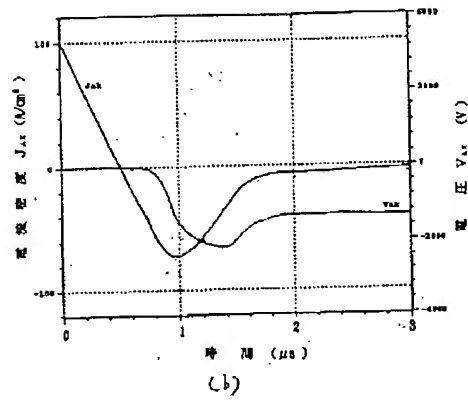
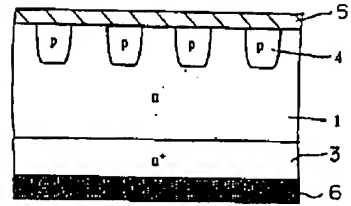
【図15】



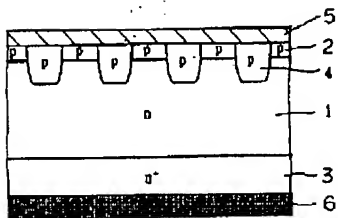
【図17】



【図18】



【図19】



【図20】

